

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-232506
 (43) Date of publication of application : 05.09.1997

(51) Int. Cl. H01L 25/065
 H01L 25/07
 H01L 25/18
 H01L 21/60
 H01L 21/321

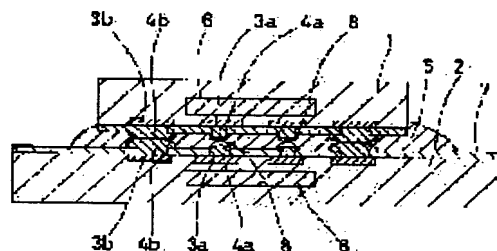
(21) Application number : 08-031790 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22) Date of filing : 20.02.1996 (72) Inventor : OTSUKA TAKASHI
 FUJIMOTO HIROAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To enable the mounting of LSIs one above the other or on an interconnection board, without damaging semiconductor elements.

SOLUTION: A first and second semiconductor chips 1 and 2 are adhered mutually surface to surface through an insulative region 5 and the area occupied by electrodes 3a formed on element regions 6 of both chips is less than that occupied by electrodes 3b formed on other than regions 6. This makes the height of bump electrodes 4a formed on the electrodes 3a of the regions 6 less than that of bump electrodes 4b formed on the electrodes 3b on other regions, resulting in such a structure that at bonding of the electrodes 4a, 4b, the stress is concentrated on the electrodes 4b on other reactors while no stress is concentrated on the electrodes 4a on the regions 6.



LEGAL STATUS

[Date of request for examination] 27.06.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]	
[Patent number]	3279470
[Date of registration]	22. 02. 2002
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232506

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁸

H 0 1 L 25/065
25/07
25/18
21/60
21/321

識別記号

庁内整理番号

3 1 1

F I

H 0 1 L 25/08
21/60
21/92

B

3 1 1 Q

6 0 2 Q

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平8-31790

(22) 出願日 平成8年(1996)2月20日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大塚 隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤本 博昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

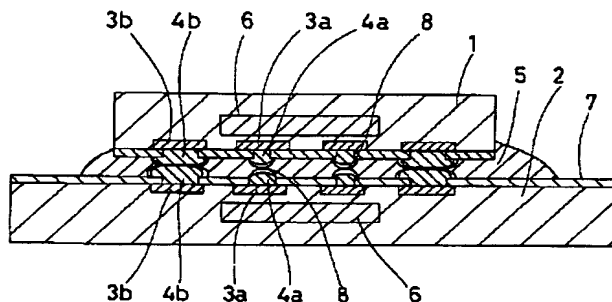
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体素子へのダメージを与えずに L S I 同
士あるいは配線基板へ実装することを可能とする。

【解決手段】 第1の半導体チップ1と第2の半導体チ
ップ2の表面同士が絶縁性樹脂5を介して互いに張り合
わされ、第1の半導体チップ1および第2の半導体チッ
プ2の素子領域6上に形成された電極3aの面積が素子
領域6上以外に形成された電極3bの面積よりも小さく
した。これにより、素子領域6上の電極3a上に形成さ
れた突起電極4aの高さが素子領域6上以外の電極3b
上に形成された突起電極4bの高さよりも低くなり、そ
れゆえ突起電極4a、4bの接合時に、素子領域6上以
外の突起電極4bに応力集中が生じ、素子領域6上の突
起電極4aに応力集中が生じない構造となる。



1…第1の半導体チップ
2…第2の半導体チップ
3a, 3b…電極
4a, 4b…突起電極
5…絶縁性樹脂

6…素子領域
7…保護膜
8…導電材料

【特許請求の範囲】

【請求項1】 第1の半導体チップと第2の半導体チップの表面同士が絶縁性樹脂を介して互いに張り合わされ、前記第1の半導体チップの表面上に位置する電極上に形成された突起電極と、前記第2の半導体チップの表面上に位置し前記第1の半導体チップの電極に対応する電極上に形成された突起電極とが電気的に接続された半導体装置であって、前記第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極の面積が前記素子領域上以外に形成された電極の面積よりも小さいことを特徴とする半導体装置。

【請求項2】 第1の半導体チップと第2の半導体チップの表面同士が絶縁性樹脂を介して互いに張り合わされ、前記第1の半導体チップの表面上に位置する電極上に形成された突起電極と、前記第2の半導体チップの表面上に位置し前記第1の半導体チップの電極に対応する電極上に形成された突起電極とが電気的に接続された半導体装置であって、前記第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極が絶縁膜により少なくとも2つ以上に分割された領域からなり前記分割された領域が前記素子領域上以外に形成された電極よりも面積が小さいことを特徴とする半導体装置。

【請求項3】 第1の半導体チップおよび第2の半導体チップの突起電極の少なくとも一方が無電解めっき法にて形成された請求項1または2記載の半導体装置。

【請求項4】 第1の半導体チップおよび第2の半導体チップの少なくとも一方が配線基板である請求項1または2記載の半導体装置。

【請求項5】 第1の半導体チップおよび第2の半導体チップの突起電極の少なくとも一方が無電解めっき法にて形成され、その上部に、無電解めっき法にて形成された突起電極より硬度が低い導電材料層を形成した請求項1または2記載の半導体装置。

【請求項6】 導電材料層がInあるいはInにSn, Pb, Bi, Ag, Znのうち少なくとも1つ以上を含む金属からなる請求項5記載の半導体装置。

【請求項7】 導電材料層が樹脂と金属からなる導電性ペーストである請求項5記載の半導体装置。

【請求項8】 素子領域上が素子領域上以外よりも面積が小さくなるように第1の半導体チップおよび第2の半導体チップの表面上の対応する位置に電極を形成する工程と、前記第1の半導体チップおよび第2の半導体チップの電極上に無電解めっき処理により突起電極を形成する工程と、前記第1の半導体チップあるいは第2の半導体チップの表面上に絶縁性樹脂を塗布する工程と、前記第1の半導体チップおよび第2の半導体チップの突起電極を位置合わせする工程と、前記第1の半導体チップあるいは第2の半導体チップの裏面を加圧し、前記絶縁性樹脂を硬化させることにより前記第1の半導体チップと第2の半導体チップの電極を電気的に接続する工程とか

らなる半導体装置の製造方法。

【請求項9】 第1の半導体チップと第2の半導体チップの電極を電気的に接続する工程において、素子領域上の電極に加わる圧力が $0.02 \text{ g}/\mu\text{m}^2$ 以下である請求項8記載の半導体装置の製造方法。

【請求項10】 第1の半導体チップと第2の半導体チップの電極上に突起電極を形成する工程において、導電材料層を構成する金属の融液に前記第1の半導体チップあるいは第2の半導体チップの少なくとも一方を浸漬させることにより、前記突起電極の上部にこの突起電極よりも硬度が低い導電材料層を形成する請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電子機器に利用される高機能LSIとその実装技術に関し、半導体素子の電極上に形成した突起電極を用いて接続した半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器が高機能化されるに従い、LSIが多く使用され、サイズを小さくするために、多数のチップを1チップ化していく手法がよくとられる。しかしながら、回路規模が大きくなってくると、LSIの開発期間の長期化や、チップサイズの増大によるコスト上昇という課題を有している。

【0003】その一つの解決策として、半導体チップの外周部に設けられていた電極を素子領域上にも配置し、チップ面積を小さくすることにより低コスト化を図る方法と、異なるチップを積層する技術があるこの2つの方法は、どちらか一方用いられることもあるが、両方法を合わせて用いることにより、大きな低コスト化が図られる。

【0004】しかし、半導体チップ上の電極を素子領域上に形成した場合、配線、コンタクト、トランジスタのいずれかが、電極下に存在することになり、突起電極を用いて張り合わせるときに、機械的なストレスが加わり、素子を破壊したり、特性を変動させ、半導体チップの信頼性にも影響を与えるため、素子にダメージを与えない圧力での電気的な接続が必要となっている。

【0005】また、異なるチップを積層するために通常半導体チップの電極上に設ける突起電極は、電解めっきによる方法、蒸着による方法、別基板に形成された突起電極を熱転写する方法がある。しかしいずれの方法も多くの複雑なプロセスを必要とするために、コスト上昇を招いてしまい、積層化のコスト増大につながる。そこで、この課題を解決するために、無電解めっき法による電極上への突起電極の形成技術が開発されつつある。この技術では、通常Niの無電解めっきが使用される。この方法は、まずAl上の酸化膜を除去するために、水酸化ナトリウムや燐酸を用いてライトエッチングを行う。

つぎにA1電極上が再酸化されるのを防ぐ目的で表面をZnで置換処理する。この後無電解Niめっきを行い所定の高さまで析出させることにより突起電極は完成する。Ni表面の酸化を防ぐ目的で、Niめっき後に置換Auめっきを行うこともしばしば行われる。

【0006】この方法では、無電解めっき液に浸漬させるだけで、半導体チップのA1電極上に突起電極を形成できるため、低コスト化が可能となる。

【0007】

【発明が解決しようとする課題】しかしながらNiの無電解めっき法を行う場合には、電極の面積や表面状態や電気的な状態、めっき液の状態により高さばらつきが生じ、張り合わせ時に高さの高い突起電極に応力集中が生じる、この応力集中は、Niの様な変形し難い材料の場合特に顕著であり、電極下の素子にダメージを与えてしまうため、高さばらつきを吸収するために低硬度の材料やはんだ等の拡散によりぬれ広がり、突起電極の高さばらつきを吸収する導電材料を形成する必要があった。

【0008】しかしこのような高さばらつきを吸収する材料を形成した場合においても、Niの突起電極が相対する突起電極に直接接して接続されると、張り合わせ時や張り合わせ後の外力により容易に応力集中が生じてしまい素子にダメージを与えるという問題点を有していた。この問題点は、NiだけでなくCu、Au等の導電材料においても同様である。

【0009】したがって、この発明の目的は、上記問題点に鑑み、半導体素子へのダメージを与えずにLSI同士あるいは配線基板へ実装することを可能とする半導体装置およびその製造方法を提供するものである。

【0010】

【課題を解決するための手段】請求項1記載の半導体装置は、第1の半導体チップと第2の半導体チップの表面同士が絶縁性樹脂を介して互いに張り合わされ、第1の半導体チップの表面上に位置する電極上に形成された突起電極と、第2の半導体チップの表面上に位置し第1の半導体チップの電極に対応する電極上に形成された突起電極とが電気的に接続された半導体装置であって、第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極の面積が素子領域上以外に形成された電極の面積よりも小さいことを特徴とするものである。

【0011】このように、第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極の面積を素子領域上以外に形成された電極の面積よりも小さくしたので、素子領域上の電極上に形成された突起電極の高さが素子領域上以外の電極上に形成された突起電極の高さよりも低くなり、それゆえ突起電極の接合時に、素子領域上以外の突起電極に応力集中が生じ、素子領域上の突起電極に応力集中が生じない構造となる。このため、素子領域上に電極を形成したLSIの実装において、素子へのダメージを与えることなく実装できるた

め、信頼性の高い積層型LSIや配線基板への実装が実現できる。

【0012】請求項2記載の半導体装置は、第1の半導体チップと第2の半導体チップの表面同士が絶縁性樹脂を介して互いに張り合わされ、第1の半導体チップの表面上に位置する電極上に形成された突起電極と、第2の半導体チップの表面上に位置し第1の半導体チップの電極に対応する電極上に形成された突起電極とが電気的に接続された半導体装置であって、第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極が絶縁膜により少なくとも2つ以上に分割された領域からなり分割された領域が素子領域上以外に形成された電極よりも面積が小さいことを特徴とするものである。

【0013】このように、第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極を絶縁膜により少なくとも2つ以上に分割することにより、この分割された領域を素子領域上以外に形成された電極よりも面積よりも小さくしたので、素子領域上の電極上に形成された突起電極の高さが素子領域上以外の電極上に形成された突起電極の高さよりも低くなり、それゆえ突起電極の接合時に、素子領域上以外の突起電極に応力集中が生じ、素子領域上の突起電極に応力集中が生じない構造となり、請求項1と同様の効果が得られる。

【0014】請求項3記載の半導体装置は、請求項1または2において、第1の半導体チップおよび第2の半導体チップの突起電極の少なくとも一方が無電解めっき法にて形成されたものである。このように、第1の半導体チップおよび第2の半導体チップの突起電極の少なくとも一方が無電解めっき法にて形成されているので、半導体チップを無電解めっき液に浸漬するだけで突起電極を形成でき、低コストで製造できる。また、請求項1および2に記載のように、素子領域上の電極上に形成された突起電極の高さが素子領域上以外の電極上に形成された突起電極の高さよりも低くなるため、電極およびめっき液の状態による突起電極の高さばらつきにより素子にダメージを与えることはない。

【0015】請求項4記載の半導体装置は、請求項1または2において、第1の半導体チップおよび第2の半導体チップの少なくとも一方が配線基板であるものである。このように、第1の半導体チップおよび第2の半導体チップの少なくとも一方が配線基板であるので、配線基板への実装が実現できる。請求項5記載の半導体装置は、請求項1または2において、第1の半導体チップおよび第2の半導体チップの突起電極の少なくとも一方が無電解めっき法にて形成され、その上部に、無電解めっき法にて形成された突起電極より硬度が低い導電材料層を形成したものである。

【0016】このように、無電解めっき法にて形成された突起電極の上部に、この突起電極より硬度が低い導電材料層を形成したので、素子にダメージを与えない荷重

で接合することができる。すなわち、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形することにより、突起電極の高さばらつきや半導体チップの持つ反りを吸収し、素子領域上の電極に加わる圧力が素子領域上以外の電極に加わる圧力よりも小さくなって素子にダメージを与えることはない。

【0017】請求項6記載の半導体装置は、請求項5において、導電材料層がInあるいはInにSn, Pb, Bi, Ag, Znのうち少なくとも1つ以上を含む金属からなるものである。このように、導電材料層としてInあるいはInにSn, Pb, Bi, Ag, Znのうち少なくとも1つ以上を含む金属を用いることにより、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形し、突起電極の高さばらつきや半導体チップの持つ反りを吸収することができる。

【0018】請求項7記載の半導体装置は、請求項5において、導電材料層が樹脂と金属からなる導電性ペーストであるものである。このように、導電材料層を樹脂と金属からなる導電性ペーストとすることにより、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形し、突起電極の高さばらつきや半導体チップの持つ反りを吸収することができる。

【0019】請求項8記載の半導体装置製造方法は、素子領域上が素子領域上以外よりも面積が小さくなるように第1の半導体チップおよび第2の半導体チップの表面上の対応する位置に電極を形成する工程と、第1の半導体チップおよび第2の半導体チップの電極上に無電解めつき処理により突起電極を形成する工程と、第1の半導体チップあるいは第2の半導体チップの表面上に絶縁性樹脂を塗布する工程と、第1の半導体チップおよび第2の半導体チップの突起電極を位置合わせする工程と、第1の半導体チップあるいは第2の半導体チップの裏面を加圧し、絶縁性樹脂を硬化させることにより第1の半導体チップと第2の半導体チップの電極を電氣的に接続する工程とからなるものである。

【0020】このように、素子領域上が素子領域上以外よりも面積が小さくなるように第1の半導体チップおよび第2の半導体チップの表面上の対応する位置に電極を形成するので、素子領域上の電極上に形成された突起電極が素子領域上以外の電極上に形成された突起電極よりも高さが低くなる。このため、第1の半導体チップあるいは第2の半導体チップの裏面を加圧して突起電極の接合する時に、素子領域上以外の突起電極に応力集中が生じ、素子領域上の突起電極に応力集中が生じない構造となる。また、突起電極が無電解めつき処理にて形成されているので、半導体チップを無電解めつき液に浸漬するだけで突起電極を形成でき、低コストで製造できる。

【0021】請求項9記載の半導体装置の製造方法は、請求項8において、第1の半導体チップと第2の半導体チップの電極を電氣的に接続する工程において、素子領

域上の電極に加わる圧力が $0.02 \text{ g}/\mu\text{m}^2$ 以下であるものである。このように、素子領域上の電極に加わる圧力が $0.02 \text{ g}/\mu\text{m}^2$ 以下であるので、素子にダメージを与えることはない。

【0022】請求項10記載の半導体装置の製造方法は、請求項8において、第1の半導体チップと第2の半導体チップの電極上に突起電極を形成する工程において、導電材料層を構成する金属の融液に第1の半導体チップあるいは第2の半導体チップの少なくとも一方を浸漬させることにより、突起電極の上部にこの突起電極よりも硬度が低い導電材料層を形成するものである。

【0023】このように、導電材料層を構成する金属の融液に第1の半導体チップあるいは第2の半導体チップの少なくとも一方を浸漬させることにより、突起電極の上部にこの突起電極よりも硬度が低い導電材料層を形成するので、素子にダメージを与えない荷重で接合することができる。すなわち、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形することにより、突起電極の高さばらつきや半導体チップの持つ反りを吸収し、素子領域上の電極に加わる圧力が素子領域上以外の電極に加わる圧力よりも小さくなって素子にダメージを与えることはない。また、上記のように導電材料の融液中に浸漬することにより導電材料層を形成したので、コスト的に有利である。

【0024】

【発明の実施の形態】この発明の第1の実施の形態の半導体装置およびその製造方法を図1および図2に基づいて説明する。図1において、1, 2は第1および第2の半導体チップ、3a, 3bはA1電極、4a, 4bは突起電極、5は絶縁性樹脂、6は素子領域、7は保護膜、8は導電材料層である。また、3a, 4aは素子領域6上に形成されたA1電極およびこれに対応する突起電極であり、3b, 4bは素子領域6上に形成されたA1電極およびこれに対応する突起電極である。

【0025】素子領域6上に形成されたA1電極3aの面積は素子領域6上に形成されたA1電極3bの面積よりも小さい構造となっている。この場合、第1および第2の半導体チップ1, 2の表面を被覆する保護膜7により露出するA1電極3a, 3bの面積が異なる。これらのA1電極3a, 3b上に無電解めつき法により突起電極4a, 4bが形成されている。そして、上記のようにA1電極3a, 3bの面積が異なるため、素子領域6上のA1電極3a上に形成された突起電極4aが素子領域6上以外のA1電極3b上に形成された突起電極4bよりも高さが低くなっている。また、この第1の半導体チップ1と第2の半導体チップ2が絶縁性樹脂5を介して互いに張り合わされ、相対する位置のA1電極3a, 3bが、突起電極4a, 4bを介して電氣的に接続された構成となっている。

【0026】つぎに、この半導体装置の製造方法につい

て説明する。Al電極3a, 3b上に無電解Niめっきにより突起電極4a, 4bを形成する。この場合、半導体チップ1, 2上のAl電極3a, 3bはスパッタ法で形成されており、厚みは1 μ m、材料は、Al-1%Si-0.5%Cuを用いた。例えば、Al電極3aサイズを15 μ m角、Al電極3bのサイズを100 μ m角とする。また半導体チップ1, 2のサイズはそれぞれ6mm、8mmとし、保護膜7は、Si₃N₄膜である。

【0027】無電解Niめっきによる突起電極4a, 4bの形成は、通常のAlに対するNiの無電解めっきプロセスと同様で、例えば、ライトエッチング、Zn置換処理、無電解Niめっきを3 μ m行い最後にNi表面の酸化防止の目的で無電解Auめっきを0.2 μ m施す。用いたNiめっき液は、硫酸ニッケルを主成分とする無電解Niめっき液を用いる。このとき、Ni突起電極4a, 4bはAl電極3a, 3bの面積が異なると、突起電極4a, 4bの高さも異なり、面積が大きい方が高くなる。これは電極サイズが小さくなると、液の表面張力と液の循環性から高さが異なって成長するためである。この場合、突起電極4aよりも突起電極4bが高くなる。

【0028】したがって、接続時にNiの突起電極4a, 4bのうち直接接合することにより、応力集中をおこす突起電極4bは素子領域6上以外の電極3bに形成されることとなり、荷重に対してダメージを受けやすい素子領域6上の電極3aに形成された突起電極4aには接続時の応力集中が生じない構造となる。突起電極4a, 4bの作製プロセスは基本的には以上で完了し、相対する突起電極4a, 4bを電気的な接続が得られるように接続する。

【0029】この接続工程では、すべての突起電極4a, 4bの接合を得るまで変形させることが必要となる。例えば、Niの突起電極4a, 4bの高さばらつきが半導体チップ1, 2内の同じ面積の電極3a, 3b上のNi突起電極4a, 4bで約0.5 μ mあるとすると、最小でも0.5 μ m以上Ni突起電極4a, 4bを変形させなければならず、素子にダメージを与える接合荷重が必要となる。

【0030】そこで素子にダメージを与えない荷重で接合を実現するために、突起電極4a, 4b上部に接合方法に合わせた導電材料層8を形成する。この導電材料層8は、素子にダメージを与えない荷重以内で塑性変形し、突起電極4a, 4bの高さばらつきやチップ1, 2の持つ反りを吸収する必要がある。例えば、この条件に適合する材料としてInあるいはInとSn, Pb, Bi, Ag, Znとの合金を用いる。導電材料層8の形成方法は導電材料の融液中に浸漬させることにより突起電極4a, 4b上に選択的に形成する方法がコスト的に有利である。また、導電材料層8として、樹脂と金属からなる導電性ペーストを用いてもよい。導電性ペーストを

用いる場合は、導電性ペーストを突起電極4a, 4bに転写や、インジェクションのような既存の方法で形成できる。

【0031】このように導電材料層8を形成し、Niの突起電極4a, 4bの高さばらつき、さらには導電材料層8の高さばらつきを吸収させて接合を図った後に、加熱拡散させるか、周囲の光硬化性絶縁性樹脂5を硬化させて接続を終了する。すなわち、図2に示すように、第2の半導体チップ2に絶縁性樹脂5を塗布し、半導体チップ1および半導体チップ2を位置合わせし、絶縁性樹脂5を介して加圧ツール11で半導体チップ1を加圧する。このとき、素子領域6上の電極3aに加わる圧力が0.02g/ μ m²以下にする。これにより、突起電極4a, 4bもしくは導電材料層8を塑性変形させて全突起電極4a, 4bもしくは導電材料層8を接合させ、この状態で周囲の絶縁性樹脂5を硬化させることにより接続を得る。

【0032】この実施の形態によれば、第1の半導体チップ1および第2の半導体チップ2の素子領域6上に形成された電極3aの面積を素子領域6上以外に形成された電極3bの面積よりも小さくしたので、素子領域6上の電極3a上に形成された突起電極4aの高さが素子領域6上以外の電極3b上に形成された突起電極4bの高さよりも低くなり、それゆえ突起電極4a, 4bの接合時に、素子領域6上以外の突起電極4bに応力集中が生じ、素子領域6上の突起電極4aに応力集中が生じない構造となる。このため、素子領域6上に電極3aを形成したLSIの実装において、素子へのダメージを与えることなく実装できるため、信頼性の高い積層型LSIや配線基板への実装が実現できる。

【0033】また、第1の半導体チップ1および第2の半導体チップ2の突起電極4a, 4bが無電解めっき法にて形成されているので、半導体チップ1, 2を無電解めっき液に浸漬するだけで突起電極4a, 4bを形成でき、低コストで製造できる。なお、第1の半導体チップ1および第2の半導体チップ2の一方を無電解めっき法にて形成してもよい。また、無電解めっき法にて形成された突起電極4a, 4bの上部に、この突起電極4a, 4bより硬度が低い導電材料層8を形成したので、素子にダメージを与えない荷重で接合することができる。すなわち、接続時に導電材料層8が素子にダメージを与えない荷重以内で塑性変形することにより、突起電極4a, 4bの高さばらつきや半導体チップ1, 2の持つ反りを吸収し、素子領域6上の電極3aに加わる圧力が素子領域6上以外の電極3bに加わる圧力よりも小さくなって素子にダメージを与えることはない。また、第1の半導体チップ1と第2の半導体チップ2の電極3a, 3bを電気的に接続する工程において、素子領域6上の電極3aに加わる圧力が0.02g/ μ m²以下であるので、素子にダメージを与えることはない。

【0034】なお、すべての電極が素子領域6上に形成される場合には、素子領域6上以外に半導体チップ1、2内に少なくとも3点、上記実施の形態と同様のダミー電極を形成しておけばよい。また、第1の半導体チップ1あるいは第2の半導体チップ2の少なくとも一方が、配線基板である場合、例えば第2の半導体チップ2が配線基板である場合においては、第1の半導体チップ1上に突起電極4a、4bを形成し、導電材料層8を突起電極4a、4b上あるいは、配線基板上に形成することにより実現できる。

【0035】この発明の第2の実施の形態を図3に基づいて説明する。第1の実施の形態と異なる点は、保護膜7により素子領域6上の電極3aが分割されており、各分割領域10の面積が、素子領域6上以外に形成された電極3bの面積よりも小さい点にある。保護膜7により電極3aが分割されることにより、各分割された電極3a上の突起電極4aは、素子領域6上以外に形成された電極3bの突起電極4bよりも高さが低くなり、張り合わせ時に、素子領域6上に形成された電極3aへの応力集中が防げるだけでなく、電流容量を確保できるため、半導体チップの種類を選ばない。その他の構成効果は、第1の実施の形態と同様である。

【0036】

【発明の効果】この発明の請求項1記載の半導体装置によれば、第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極の面積を素子領域上以外に形成された電極の面積よりも小さくしたので、素子領域上の電極上に形成された突起電極の高さが素子領域上以外の電極上に形成された突起電極の高さよりも低くなり、それゆえ突起電極の接合時に、素子領域上以外の突起電極に応力集中が生じ、素子領域上の突起電極に応力集中が生じない構造となる。このため、素子領域上に電極を形成したLSIの実装において、素子へのダメージを与えることなく実装できるため、信頼性の高い積層型LSIや配線基板への実装が実現できる。

【0037】請求項2記載の半導体装置によれば、第1の半導体チップおよび第2の半導体チップの素子領域上に形成された電極を絶縁膜により少なくとも2つ以上に分割することにより、この分割された領域を素子領域上以外に形成された電極よりも面積よりも小さくしたので、素子領域上の電極上に形成された突起電極の高さが素子領域上以外の電極上に形成された突起電極の高さよりも低くなり、それゆえ突起電極の接合時に、素子領域上以外の突起電極に応力集中が生じ、素子領域上の突起電極に応力集中が生じない構造となるだけでなく電流容量を確保できる。その他、請求項1と同様の効果が得られる。

【0038】請求項3では、第1の半導体チップおよび第2の半導体チップの突起電極の少なくとも一方が無電解めっき法にて形成されているので、半導体チップを無

電解めっき液に浸漬するだけで突起電極を形成でき、低コストで製造できる。また、請求項1および2に記載のように、素子領域上の電極上に形成された突起電極の高さが素子領域上以外の電極上に形成された突起電極の高さよりも低くなるため、電極およびめっき液の状態による突起電極の高さばらつきにより素子にダメージを与えることはない。その他の効果は請求項1または2と同様である。

【0039】請求項4では、第1の半導体チップおよび第2の半導体チップの少なくとも一方が配線基板であるので、配線基板への実装が実現できる。その他の効果は請求項1または2と同様である。請求項5では、無電解めっき法にて形成された突起電極の上部に、この突起電極より硬度が低い導電材料層を形成したので、素子にダメージを与えない荷重で接合することができる。すなわち、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形することにより、突起電極の高さばらつきや半導体チップの持つ反りを吸収し、素子領域上の電極に加わる圧力が素子領域上以外の電極に加わる圧力よりも小さくなって素子にダメージを与えることはない。その他の効果は請求項1または2と同様である。

【0040】請求項6では、請求項5において導電材料層としてInあるいはInにSn、Pb、Bi、Ag、Znのうち少なくとも1つ以上を含む金属を用いることにより、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形し、突起電極の高さばらつきや半導体チップの持つ反りを吸収することができる。請求項7では、請求項5において導電材料層を樹脂と金属からなる導電性ペーストとすることにより、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形し、突起電極の高さばらつきや半導体チップの持つ反りを吸収することができる。

【0041】この発明の請求項8記載の半導体装置の製造方法によれば、素子領域上が素子領域上以外よりも面積が小さくなるように第1の半導体チップおよび第2の半導体チップの表面上の対応する位置に電極を形成するので、素子領域上の電極上に形成された突起電極が素子領域上以外の電極上に形成された突起電極よりも高さが低くなる。このため、第1の半導体チップあるいは第2の半導体チップの裏面を加圧して突起電極の接合する時に、素子領域上以外の突起電極に応力集中が生じ、素子領域上の突起電極に応力集中が生じない構造となる。また、突起電極が無電解めっき処理にて形成されているので、半導体チップを無電解めっき液に浸漬するだけで突起電極を形成でき、低コストで製造できる。

【0042】請求項9では、請求項8において素子領域上の電極に加わる圧力が $0.02\text{ g}/\mu\text{m}^2$ 以下であるので、素子にダメージを与えることはない。請求項10では、請求項8において導電材料層を構成する金属の融液に第1の半導体チップあるいは第2の半導体チップの

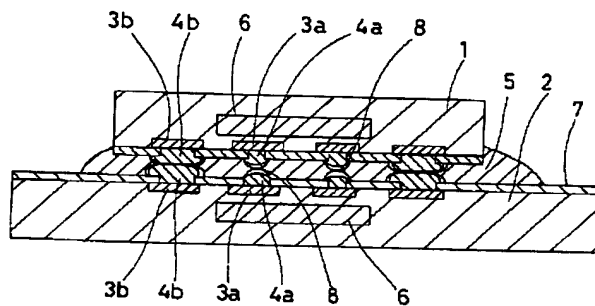
11

少なくとも一方を浸漬させることにより、突起電極の上部にこの突起電極よりも硬度が低い導電材料層を形成するので、素子にダメージを与えない荷重で接合することができる。すなわち、接続時に導電材料層が素子にダメージを与えない荷重以内で塑性変形することにより、突起電極の高さばらつきや半導体チップの持つ反りを吸収し、素子領域上の電極に加わる圧力が素子領域上以外の電極に加わる圧力よりも小さくなって素子にダメージを与えることはない。また、上記のように導電材料の融液中に浸漬することにより導電材料層を形成したので、コスト的に有利である。

【図面の簡単な説明】

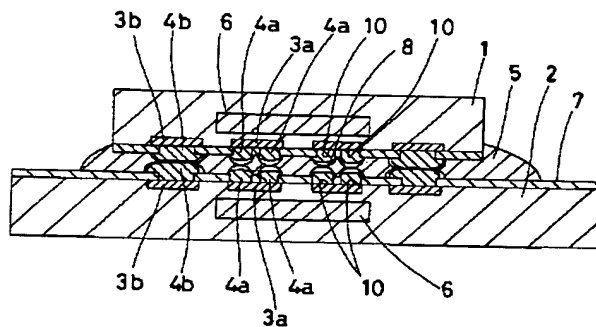
【図 1】 この発明の第 1 の実施の形態の半導体装置の断面図である。

【図 1】



- | | |
|-----------------|----------|
| 1...第 1 の半導体チップ | 6...素子領域 |
| 2...第 2 の半導体チップ | 7...保護膜 |
| 3 a, 3 b...電極 | 8...導電材料 |
| 4 a, 4 b...突起電極 | |
| 5...絶縁性樹脂 | |

【図 3】



12

【図 2】 第 1 の実施の形態の半導体装置の製造方法を示す断面図である。

【図 3】 第 2 の実施の形態の半導体装置の断面図である。

【符号の説明】

- 1 第 1 の半導体チップ
- 2 第 2 の半導体チップ
- 4 a, 4 b 突起電極
- 5 絶縁性樹脂
- 6 素子領域
- 3 a 素子領域上に形成された A 1 電極
- 3 b 素子領域上に形成された A 1 電極
- 7 保護膜
- 8 導電材料層

【図 2】

